대한민국특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : Application Number	10-2003-0021312
출 원 년 월 일 : Date of Application	2003년 04월 04일 APR 04, 2003
출 원 인 : Applicant(s)	주식회사 하이닉스반도체 Hynix Semiconductor Inc.

2003 년 10 월 24 일

특 허 청

COMMISSIONER

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2003.04.04
【발명의 명칭】 반도체 소자의 캐패시터 제조 방법
【발명의 영문명칭】 METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【명칭】 특허법인 신성
【대리인코드】 9-2000-100004-8
【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】 2000-049307-2
【발명자】
【성명의 국문표기】 신동우
【성명의 영문표기】 SHIN,Dong Woo
【주민등록번호】 720603-1058312
【우편번호】 467-140
【주소】 경기도 이천시 고담동 하이닉스 고담기숙사 106-501
【국적】 KR
【발명자】
【성명의 국문표기】 최형복
【성명의 영문표기】 CHOI,Hyung Bok
【주민등록번호】 711120-1011811
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 1112 신정마을 현대성우아파트 808-9 02
【국적】 KR
【발명자】
【성명의 국문표기】 이종민
【성명의 영문표기】 LEE,Jong Min

【주민등록번호】	630514-1090415
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 살구골동아아파트 717-1004
【국적】	KR
【발명자】	
【성명의 국문표기】	김진웅
【성명의 영문표기】	KIM,Jin Woong
【주민등록번호】	640201-1482211
【우편번호】	134-790
【주소】	서울특별시 강동구 명일2동 현대아파트16-404
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	20 면 20,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	28 항 1,005,000 원
【합계】	1,054,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 스토리지노드 표면에서 국부적으로 불순물이 밀집하여 존재함에 따른 MPS 그레인의 성장 억제 현상을 방지하는데 적합한 반도체 소자의 캐패시터 제조 방법을 제공하기 위한 것으로, 본 발명은 국부적으로 실리콘그레인들(MPS)의 성장을 억제하는 제1도핑농도 (20E20/cm^3 이상)보다 상대적으로 낮은 제2도핑농도(1E19~2E20)를 가지는 제1비정질실리콘막과 불순물이 전혀 도핑되지 않은 제2비정질실리콘막을 인시튜로 형성하는 단계, 상기 제1비정질실리콘막과 상기 제2비정질실리콘막을 패터닝하여 스토리지노드를 형성하는 단계, 상기 스토리지노드 표면에 실리콘 그레인을 형성하는 단계, 및 상기 스토리지노드가 가져야 하는 전도성을 위해 상기 제1도핑농도를 가지도록 상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계를 포함한다.

【대표도】

도 3e

【색인어】

캐패시터, 스토리지노드, 불순물, 도핑농도, MPS, 비정질실리콘막, 인

【명세서】

【발명의 명칭】

반도체 소자의 캐패시터 제조 방법{METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 형성한 MPS 캐패시터의 구조를 도시한 도면,

도 2a는 종래 기술에 따른 MPS 그레인의 성장이 억제된 지역을 도시한 도면,

도 2b는 종래 기술에 따른 AES(Auger Electron Spectroscopy) 표면 스캔 결과,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도,

도 4에 도시된 캐패시터는 본 발명의 실시예의 변형예,

도 5a 내지 도 5c는 본 발명의 실시예에 따른 두 번째 PH_3 도핑 공정을 실시한 캐패시터 제조 방법을 도시한 도면,

도 6a 내지 도 6e는 인(P)의 도핑농도에 따른 실리콘그레인의 성장 부족 정도를 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명

21 : 층간절연막	22 : 콘택플러그
23 : 식각배리어막	24 : 스토리지노드간 분리막패턴
25 : 제1비정질실리콘막	25a : 결정질실리콘막

26 : 제2비정질실리콘막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.

<14> 반도체 소자의 최소 선폭이 감소하고 집적도가 증가하면서 캐패시터가 형성되는 면적도 점차 좁아져 가고 있다. 이렇듯 캐패시터가 형성되는 면적이 좁아지더라도 셀내 캐패시터는 셀당 최소한 요구하는 대략 25fF 이상의 캐패시턴스를 확보하여야 한다. 이와 같이 좁은 면적 상에 높은 캐패시턴스를 가지는 캐패시터를 형성하기 위해, 실리콘산화막(ε =3.8), 질화막(ε =7)을 대체하여 Ta_2O_5, Al_2O_3 또는 HfO_2와 같은 높은 유전율을 가지는 물질을 유전체막으로 이용하는 방법, 스토리지노드를 실린더(cylinder)형, 콘케이브(concave)형 등으로 입체화하거나 스토리지노드표면에 MPS(Meta stable-Poly Silicon)를 성장시켜 스토리지노드의 유효 표면적을 1.7~2배 정도 증가시키는 방법 등이 제안되었다.

<15> 이중 스토리지노드 표면에 MPS를 성장시켜 스토리지노드의 유효 표면적을 넓

힌 캐패시터에 관한 기술이 최근에 주로 연구되고 있다. MPS 캐패시터의 제조 방법으로는 비정질실리콘막으로 이루어진 스토리지노드를 형성한 후 실란(Silane, SiH_4)계 가스를 시드(seed) 가스로 주입하고 진공 상태에서 이 시드 주위로 실리콘 원자를 이동(migration)시켜 MPS를 성장시키 방법이 알려져 있다. 이때, 시드 가스의 주입시간, 유량 및 온도, 실리콘 원자를 이동시키는 시간, 온도 및 압력은 물론 불순물의 도핑 농도에 따라 실리콘 원자의 이동 속도, 양이 달라져 결과적으로 성장되는 MPS의 크기, 양이 달라지게 된다.

<16> 현재는 셀과 셀 사이를 격리할 수 있는 한도내에서 캐패시터 구조의 내벽에만 MPS 기술을 접목시킨 이너(inner) 캐패시터 구조가 적용되고 있다.

<17> 이러한 종래의 방법에 따라 형성한 MPS 캐패시터의 구조가 도 1에 도시되어 있다.

<18> 도 1은 종래 기술에 따라 형성한 MPS 캐패시터의 구조를 도시한 도면이다.

<19> 도 1에 도시된 바와 같이, 종래 MPS 캐패시터는 절연막(10) 상에 콘택플러그(11)에 의해 기판의 불순물 영역과 전기적으로 연결되고, 그 표면의 전부에 MPS 그레인(MPS Grain, 12a)이 형성된 스토리지노드(12), 유전막(13) 및 플레이트(14)로 이루어져 있다. 그리고, 스토리지노드(12)는 식각배리어막(15)과 스토리지노드산화막(16)의 적층막에 의해 지지되고 있다.

<20> 도 1에서, MPS 그레인(12a)이 형성된 스토리지노드(12)의 형성 방법은, 먼저 인(Phosphorous; P)이 24E20/cm^3 이상의 고농도로 도핑된 도우프드 비정질실리콘막(Doped amorphous silicon)과 불순물이 도핑되지 않은 언도우프드 비정질실리콘막(Undoped amorphous silicon)의 이중층을 인시튜로 증착한 후, 화학적기계적연마 또는 에치백을 통해 실린더 형태를 만들고, MPS 공정을 통해 언도우프드 비정질실리콘막이 MPS 그레인으로 성장되도록 하여 도

우프드 비정질실리콘막 표면에 MPS 그레인(12a)을 성장시키는 순서로 진행된다. 이때, 비정질 실리콘막은 결정질(Polycrystalline)이 된다.

<21> 결국, 도 1의 MPS 캐패시터는 콘케이브(concave) 형태의 스토리지노드의 내벽에만 MPS 그레인이 성장되는 구조를 갖는다.

<22> 최근에 디자인룰(design rule)이 작아지면서 동일한 캐패시터 구조에서 캐패시턴스를 확보하기 위해 MPS 그레인의 사이즈 균일도(size uniformity) 확보가 매우 중요해지고 있다.

<23> 그러나, 종래 기술은 스토리지노드용 비정질실리콘막 증착 공정에서 도우푸드 비정질실리콘막을 화학기상증착법(Chemical Vapor Deposition; CVD)으로 증착할 때, 고농도 도핑을 위해 도입되는 인(P)이 웨이퍼내 일부 지역에 국부적으로 밀집하게 되는 현상이 발생한다. 이와 같이 국부적으로 인이 밀집하게 되면 언도우프드 비정질실리콘막의 증착후에도 표면의 인의 도핑농도가 특정 지역에서 다른 지역보다 상대적으로 증가된 상태로 존재하게 된다. 이러한 현상은 디자인룰이 작아질수록 스토리지노드의 두께로 얇아지게 되므로 스토리지노드내에서 도우프드 비정질실리콘막에 도핑되어 있는 인(P)이 언도우프드 실리콘막의 표면에 영향을 주어 MPS 그레인의 성장을 방해하기 쉽다.

<24> 이와 같이 스토리지노드용 실리콘막 표면에 국부적으로 밀집하는 인(P)은 MPS 공정 진행전의 세정 공정에서 표면에 새로운 반응생성층을 생성시키거나, 그 자체가 실리콘의 이동을 방해하므로써 MPS 그레인의 성장을 억제시킨다.

<25> 도 2a는 종래 기술에 따른 MPS 그레인의 성장이 억제된 지역을 도시한 도면이고, 도 2b는 종래 기술에 따른 AES(Auger Electron Spectroscopy) 표면 스캔 결과이다.

<26> 도 2a 및 도 2b에 도시된 바와 같이, 0.15㎛ 이하의 디자인룰을 갖는 캐패시터 소자에서 국부적으로 MPS 그레인의 성장이 억제되는 지역이 발생하고(도 2a 참조), MPS 그레인의 성장이 억제된 지역(X2)의 표면을 스캔하면 정상적으로 MPS 그레인이 성장된 지역(X1)보다 스토리지노드의 표면에서 더 많은 인이 검출되는 것을알 수 있다.(도 2b의 P_{LMN} 참조).

<27> 위에서 살펴 본 바와 같이, 스토리지노드 표면에서 국부적으로 MPS 그레인의 성장이 억제되면 그 부분은 캐패시턴스가 급격히 감소하여 소자 동작시 비트페일(bit fail)을 유발시키는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스토리지노드 표면에서 국부적으로 불순물이 밀집하여 존재함에 따른 MPS 그레인의 성장 억제 현상을 방지하는데 적합한 반도체 소자의 캐패시터 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위한 본 발명의 캐패시터의 스토리지노드 형성 방법은국부적으로 실리콘그레인들의 성장을 억제하는 제1도핑농도보다 상대적으로 낮은 제2도핑농도를 가지는 제1비정질실리콘막과 불순물이 전혀 도핑되지 않은 제2비정질실리콘막을 인시튜로 형성하는 단계, 상기 제1비정질실리콘막과 상기 제2비정질실리콘막을 패터닝하여 스토리지노드를 형성하는 단계, 상기 스토리지노드 표면에 실리콘 그레인을 형성하는 단계, 및 상기 스토리지노드가 가져야 하는 전도성을 위해 상기 제1도핑농도를 가지도록 상기 스토리지노드 및 실리콘 그레인에

불순물을 도핑시키는 단계를 포함하는 것을 특징으로 하고, 상기 제1도핑농도는 24E20/cm^3~1E22/cm^3이고, 상기 제2도핑농도는 1E19/cm^3~2E20/cm^3인 것을 특징으로 하며, 상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는, 인을 함유한 가스분위기하에서 챔버 플라즈마 도핑, 퍼니스 도핑 또는 챔버 플라즈마 도핑과 어닐링을 혼합하여 이루어지는 것을 특징으로 한다.

<30> 그리고, 본 발명의 반도체 소자의 캐패시터 제조 방법은 반도체 기판의 상부에 콘택홀을 갖는 절연막을 형성하는 단계, 상기 콘택홀에 매립되어 상기 반도체 기판과 연결되는 플러그를 형성하는 단계, 상기 플러그 및 절연막 상에 상기 플러그를 노출시키는 홈을 갖는 분리막을 형성하는 단계, 상기 분리막의 홈의 측벽을 따라 국부적으로 실리콘그레인들의 성장을 억제하는 제1도핑농도보다 상대적으로 낮은 제2도핑농도를 가지는 제1비정질실리콘막을 형성하는 단계, 상기 제1비정질실리콘막 형성후 인시튜로 불순물이 전혀 도핑되지 않은 제2비정질실리콘막을 상기 제1비정질실리콘막 상에 형성하는 단계, 상기 제1비정질실리콘막과 상기 제2비정질실리콘막을 패터닝하여 상기 분리막의 홈에 실린더 형태의 스토리지노드를 형성하는 단계, 상기 스토리지노드의 내벽 표면에 실리콘 그레인을 형성하는 단계, 및 상기 스토리지노드가 가져야 하는 전도성을 위해 상기 제1도핑농도를 가지도록 상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계를 포함하는 것을 특징으로 한다.

<31> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<32> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.

<33> 도 3a에 도시된 바와 같이, 트랜지스터 등의 하부 구조가 형성된 기판(도시 생략) 상에 층간절연막(21)을 형성하고, 기판의 불순물 영역과 스토리지노드를 전기적으로 연결하기 위한 콘택홀을 형성한 후, 여기에 도전성 물질을 적층하고 화학적기계적연마나 에치백으로 평탄화하여 콘택플러그(22)를 형성한다. 이어서, 전면에 식각배리어막(23)을 증착하고, 식각배리어막(23) 상에 PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), BPSG(Boron Phosphorus Silicate Glass), PSG(Phoshporus Silicate Glass) 또는 USG(Undoped Silicate Glass)와 같은 스토리지노드산화막(Storagenode oxide)을 증착한다. 이때, 스토리지노드산화막은 15000Å～25000Å 두께로 형성한다.

<34> 다음에, 스토리지노드산화막과 식각배리어막(23)을 순차적으로 식각하여 스토리지노드를 형성할 영역의 콘택플러그(22)를 노출시키므로써 스토리지노드간 분리막패턴(24)을 형성한다. 이때, 식각배리어막(23)은 스토리지노드간 분리막패턴(24)의 형성시 산화막의 식각을 정지시키는 막으로서, 스토리지노드간 분리막 패턴(24)과 식각선택비가 좋은, 예컨대 실리콘질화막(silicon nitride)으로 형성한다. 이와 같은 식각배리어막(23)은 높이가 높은 스토리지노드를 측면에서 지탱하는 역할을 하여 기계적인 강도 면에서는 더욱 뛰어난 스토리지노드를 얻을 수 있다.

<35> 한편, 식각배리어막(23)의 적층 순서는 바꿀 수도 있다. 즉, 층간절연막(21)과 식각배리어막(23)을 적층 형성하고, 콘택홀 및 콘택플러그(22)를 형성한 후, 전면에 스토리지노드간 분리막패턴(24)을 형성하기 위한 스토리지노드산화막을 형성할 수 있다.

<36> 도 3b에 도시된 바와 같이, 스토리지노드간 분리막패턴(24)을 포함한 전면에 국부적으로 MPS(이하 '실리콘그레인'이라고 약칭함)의 성장을 억제하는 제1도핑농도보다 상대적으로 낮은

제2도핑농도를 가지는 제1비정질실리콘막(25)과 불순물이 전혀 도핑되지 않은 제2비정질실리콘막(26)을 인시튜로 연속해서 형성한다.

<37> 이렇게 불순물이 도핑된 비정질실리콘막과 불순물이 전혀 도핑되지 않은 비정질실리콘막을 인시튜로 형성하는 이유는, 불순물의 도핑 농도가 고농도인 비정질실리콘막에서는 실리콘 원자가 거의 이동되지 않아 실리콘그레인이 성장되지 않고 불순물이 도핑되지 않은 비정질실리콘막에서는 실리콘 원자가 빠르게 이동되어 실리콘그레인이 용이하게 성장되는 현상을 이용하기 위한 것이다. 즉, 불순물이 도핑된 제1비정질실리콘막(25)은 이후에 스토리지노드의 실린더 형태의 골격을 이루는 외벽이 되고, 불순물이 도핑되지 않은 제2비정질실리콘막(26)은 실린더 형태의 내벽에 형성되는 실리콘그레인으로 된다. 따라서, 이 실리콘그레인으로 되는 제2비정질실리콘막(26)의 실리콘 원자가 거의 대부분 이동하여 실리콘그레인으로 성장하더라도 제1비정질실리콘막(25)에서 실리콘 원자의 이동이 정지되어 스토리지노드의 골격을 이루도록 하기 위해서 제1비정질실리콘막(25)의 도핑 농도를 높게 한다.

<38> 이와 같은 제1,2비정질실리콘막(25, 26) 인시튜 증착시, 제1 비정질실리콘막(25)에 도핑되는 불순물로는 인(P)을 사용할 수 있고, 제1비정질실리콘막(25)의 증착과 동시에 인(P)을 도핑할 수 있다. 이때, 인(P)의 도핑 농도는 실리콘 소스가스 대비 인을 함유한 불순물 소스가스의 유량을 조절함으로써 조절할 수 있는데, 실리콘 소스가스로는 모노실란(monosilane), 디실란(disilane), 트리실란(trisilane), 디클로로실란(dichlorosilane) 등 실란계 가스를 사용하고, 인을 함유한 불순물소스가스는 PH_3 가스를 사용한다. 제1비정질실리콘막(25)의 인(P) 도핑 농도는 실리콘 원자를 이동시키는 시간, 성장시킬 실리콘그레인의 크기 등을 고려하여 설정하는데, 본 발명은 SIMS를 이용하여 1E19～2E20/cm^3 정도의 낮은 도핑농

도를 갖도록 한다. 이러한 1.0E19/cm^3～2.0E20cm^3 정도의 인(P) 도핑 농도는 종래 인(P)의 도핑농도가 24E20cm^3 이상인 것에 비해 상대적으로 낮은 것으로, 이는 후속 실리콘그레인 성장시 국부적으로 실리콘그레인의 성장이 억제되는 것을 해결하기 위한 것이다. 즉, 인(P)의 도핑농도가 1.0E19/cm^3～2.0E20cm^3 정도보다 낮으면 국부적으로 실리콘그레인의 성장이 억제되는 현상을 방지할 수는 있지만, 콘택플러그(22)와 스토리지노드간 콘택저항이 증가하거나 또는 도핑 부족에 의해 스토리지노드에 공핍(depletion)이 발생하여 전체적인 캐패시턴스의 감소를 초래하는 문제가 있다. 또한 인(P)의 도핑농도가 1.0E19/cm^3～2.0E20cm^3 정도보다 높으면 종래기술에서와 같이 국부적으로 실리콘그레인의 성장이 억제되는 현상이 발생하는 문제가 있다.

<39> 한편, 제1비정질실리콘막(25)과 제2비정질실리콘막(26)의 두께는 원하는 소자의 집적도나 스토리지노드의 높이, 폭 등에 따라 결정되는데, 본 발명에서는 각각 100Å～300Å 정도로 한다. 그리고, 제1비정질실리콘막(25)과 제2비정질실리콘막(26)의 인시튜 증착시 증착온도는 500℃～550℃를 유지하도록 하는데, 이는 550℃ 이상의 온도에서 실리콘막을 증착하면 비정질이 아닌 결정질의 형태를 갖기 때문이다. 결정질 실리콘막에서는 실리콘그레인을 성장시킬 수 없다.

<40> 다음으로, 스토리지노드간 분리막패턴(24)의 상부에 형성된 제1비정질실리콘막(25) 및 제2비정질실리콘막(26)을 화학적기계적 연마나 에치백 등의 방법으로 제

거하여 제1비정질실리콘막(25)과 제2비정질실리콘막(26)의 이중층으로 되는 실린더 형태의 스토리지노드를 형성한다. 여기서, 제1비정질실리콘막(25) 및 제2비정질실리콘막(26)을 제거할 때 연마재나 식각된 입자 등의 불순물이 실린더 내부에 부착되는 등의 우려가 있으므로, 단차피복성이 좋은 예컨대, 포토레지스트로 실린더 내부를 모두 채운 후에, 스토리지노드간 분리막패턴(24)이 노출될 때까지 연마 또는 에치백을 수행하고, 실린더 내부의 포토레지스트를 애싱(ashing)하여 제거하는 것이 좋다.

<41> 도 3c에 도시된 바와 같이, 스토리지노드의 내벽에 실리콘그레인(27)을 성장시킨다. 실리콘그레인(27)을 성장시키는 방법은 제2비정질실리콘막(26) 표면에 실란계 가스를 이용하여 실리콘시드를 형성한 후, 600℃~650℃의 온도에서 어닐링하여 실리콘을 이동시키므로써 이루어진다. 즉, 불순물이 도핑되지 않은 제2비정질실리콘막(26)이 실리콘그레인으로 성장한다.

<42> 이렇게 실리콘그레인(27)을 성장시킬 때, 제1비정질실리콘막(25)내 실리콘원자의 이동이 억제되는 반면 제2비정질실리콘막(26)의 실리콘 원자는 이동하여 실리콘그레인으로 성장되고, 아울러 600℃~650℃의 어닐링에 의해 제1비정질실리콘막(25)과 실리콘그레인(27)이 결정질화된다. 이때, 특히 실리콘 그레인(27)의 크기를 크게 하기 위해, 제2비정질실리콘막(26)의 실리콘 원자가 대부분 이동되어 실리콘그레인(27)으로 성장하게 하면, 제2비정질실리콘막(26)의 실리콘 원자가 대부분 소진되어 실리콘그레인(27)으로 성장하고 성장된 실리콘그레인(27)들의 사이사이에는 제1비정질실리콘막(25)이 드러날 수 있다. 이렇게, 제2비정질실리콘막(26)이 소진되어 실리콘그레인(27)으로 성장하더라도 인(P)의 도핑 농도가 높은 제1비정질실리콘막(25)에서는 실리콘 원자의 이동이 소량으로 억제되므로 최소한 제1비정질실리콘막(25) 두께 만큼의 스토리지노드 골격이 유지된다. 이하, 결정화된 제1비정질실리콘막(25)을 결정질실리콘막(25a)라 하고, 결정질실리콘막(25a)과 실리콘그레인(27)을 통틀어 스토리지노드라고 한다.

<43> 전술한 바와 같은 일련의 실리콘그레인(27)의 성장 공정시, 미리 제1비정질실리콘막(25)에 도핑되는 인(P)의 도핑농도를 낮추어 주므로써 실리콘그레인(27)을 결정질실리콘막(25a)의 모든 표면에서 골고루 성장시킬 수 있다. 따라서, 실리콘그레인(27)이 성장되지 않는 지역이 발생하지 않아 실리콘그레인의 균일도를 확보할 수 있다.

<44> 도 3d에 도시된 바와 같이, 스토리지노드가 가져야 하는 전도성, 예컨대 결정질실리콘막(25a)과 실리콘그레인(27)의 인(P)의 도핑 농도를 확보하기 위해 PH_3 도핑 공정을 진행한다. 이때, PH_3 도핑 공정은 제1비정질실리콘막(25) 증착시에 다소 낮게 도핑시켰던 인(P)의 도핑농도를 보충하여 스토리지노드의 전도성을 충분히 확보하고 실리콘그레인(27)을 충분히 도핑시키기 위한 것으로, 종래 기술의 도핑 공정보다 강화된 조건으로 진행한다. 강화된 조건이라 함은 공정 온도, 공정 압력, 도핑가스의 유량, 도핑시간, 플라즈마파워를 증가시키는 것을 의미한다.

<45> 먼저, PH_3 도핑공정의 도핑효율을 높이기 위해 HF 케미컬 내지 BOE 케미컬을 사용하여 실리콘그레인(27)이 성장된 스토리지노드 표면을 세정한 후, PH_3 도핑을 실시하여 실리콘그레인(27)이 성장된 부분에 인(P)을 도핑한다. 아울러, 이미 형성되었던 스토리지노드 내의 인(P)의 도핑 농도도 증가시킨다. PH_3 가스를 반응가스로 하여 확산공정에 의해 스토리지노드 내부로 확산시키므로써, 스토리지노드의 전영역에 걸쳐 인(P)의 도핑농도를 24E20cm^3 수준으로 높여 콘택플러그와의 콘택저항을 확보함과 동시에 스토리지노드의 전도성을 확보한다.

<46> 위와 같은 스토리지노드내 인(P)의 도핑농도를 높이기 위한 PH_3 도핑 공정의 방법으로는 챔버 플라즈마 도핑, 퍼니스 도핑, 챔버 플라즈마 도핑과 어닐링의 혼합을 이용한다.

<47> 첫 번째, 챔버 플라즈마 도핑시, 공정 온도는 700℃~800℃로 하며, 공정 시간은 2분~5분으로 하고, 공정 압력과 플라즈마 파워는 각각 1.5torr~2.5torr와 300W~500W의 범위로 한다. 이때, PH_3 가스의 유량은 300sccm~500sccm으로 한다.

<48> 두 번째, 퍼니스 도핑시, 공정 온도는 600℃~750℃로 하며, 공정 시간은 1시간~2시간으로 하고, 공정 압력과 PH_3 가스의 유량은 각각 5torr~10torr와 100sccm~200sccm으로 한다.

<49> 세 번째, 챔버 플라즈마 도핑과 어닐링의 혼합법을 이용할 때는, 먼저 챔버플라즈마 도핑을 이용하여 도핑을 하고, 연속해서 어닐링을 진행한다. 예를 들어, 700℃~800℃의 공정온도, 1분~5분의 공정 시간 및 1.0torr~2.5torr의 공정압력하에서 PH_3 가스를 100sccm~500sccm의 유량으로 흘려주면서 플라즈마 도핑한 후에, 퍼니스를 이용하여 질소(N_2) 분위기로 600℃~750℃의 온도와 5torr~10torr의 압력하에서 1시간~2시간동안 어닐링한다.

<50> PH_3 도핑 공정으로 제시된 세 가지 방법 모두 스토리지노드와 콘택플러그간 콘택저항을 확보함과 동시에 스토리지노드의 전도성을 충분히 확보할 수 있으나, 각각 다음과 같은 차이점이 있다.

<51> 먼저, 첫 번째 방법은 스토리지노드 표면에 인(P)을 물리적으로 도핑시키는 것으로, 종래 기술로는 실리콘그레인(27)이 성장된 표면의 도핑농도는 충족시킬 수 있지만 콘택플러그(22)와 접하는 부분의 도핑농도를 충족시키기에는 부족하다. 따라서, 본 발명의 챔버 플라즈마 도핑은, PH_3 도핑 공정을 강화하므로써 스토리지노드 표면뿐만 아니라 콘택플러그의 도핑농도까지 확보할 수 있도록 인의 확산능력을 향상시킨 방법이다. 종래 기술과 본 발명의 조건 비교는 표1을 참조하여 후술하기로 한다.

<52> 그리고, 두 번째 방법은 스토리지노드 표면에 인을 화학적으로 도핑시키는 것으로 종래 기술의 경우 콘택플러그(22)와 접하는 부분의 도핑농도를 충족시킬 수 있으나, 표면의 인(P)이 과다하게 확산하는 경우 요구되는 표면 농도를 얻을 수 없는 단점이 있었다. 따라서, 본 발명에서는 PH_3 도핑 공정을 강화하므로써 표면의 인이 과다하게 확산하더라도 어닐링이 진행되는 동안 표면에 충분한 인을 계속 공급하여 표면의 인농도가 감소하는 것을 방지하고 있다.

<53> 마지막으로, 세 번째 방법은 표면 농도도 증가시키면서 콘택플러그(22)와 접하는 부분의 도핑농도를 충분히 충족시킬 수 있는 방법으로, 스토리지노드와 콘택플러그(22)간 콘택저항 확보 및 스토리지노드의 전도성 확보를 위해 가장 바람직한 방법이라 할 수 있다.

<54> 이어서, 스토리지노드간 분리막패턴(24)을 HF 또는 BOE의 습식케미컬을 이용하여 딥아웃(dip out)한 후에 유전막(28)과 플레이트(29)를 형성하면, 도 3e에 도시된 실린더 구조의 캐패시터가 형성된다.

<55> 도 3e에 도시된 바와 같이, 본 발명의 실시예에 따른 캐패시터의 스토리지노드의 표면에는 실리콘그레인(27)이 전영역에 걸쳐 균일하게 형성되어 있다. 또한, 실리콘그레인(27) 형성후에 추가로 인(P)을 도핑시켰기 때문에 스토리지노드가 가져야 하는 전도성을 충분히 확보하고 있다.

<56> 도 4에 도시된 캐패시터는 본 발명의 실시예의 변형예로서, 스토리지노드간 분리막패턴(24)을 제거하지 않고 바로 유전막(28)과 플레이트(29)를 형성한 콘케이브 구조의 캐패시터이다.

<57> 한편, 도 5a 내지 도 5c에 도시된 바와 같이, 스토리지노드간 분리막패턴(24)의 습식딥아웃 공정후에 PH_3 도핑 공정을 추가로 진행한 후, 유전막(28)과 플레이트(29)를 형성할 수 있

다. 이는 스토리지노드내 인(P)의 도핑효율을 더욱 좋게 하기 위한 것이면서 인(P)의 도핑프로파일을 보정해주기 위한 것이다. 즉, 스토리지노드간 분리막패턴(24)의 습식딥아웃시에 스토리지노드 표면의 인(P)이 탈리되어 도핑농도 부족으로 인한 공핍이 발생될 수 있기 때문에 추가로 PH_3 도핑 공정을 통해 스토리지노드에 인을 도핑시켜 주는 것이다.

<58> 자세히 살펴보면, 도 5a에 도시된 바와 같이, 실리콘그레인(27) 성장후에 첫 번째 PH_3 도핑 공정을 진행한 다음, 스토리지노드간 분리막패턴(24)을 습식딥아웃을 통해 제거하여 스토리지노드의 내벽 및 외벽을 모두 노출시킨다.

<59> 도 5b에 도시된 바와 같이, 내벽은 물론 외벽까지 노출된 스토리지노드에 두 번째 PH_3 도핑 공정을 진행한다. 예컨대, 700℃~800℃의 공정온도, 2분~5분의 공정시간, 1.5torr~2.5torr의 공정압력 및 300W~500W의 플라즈마 파워 조건하에서 PH_3 가스를 300sccm~500sccm의 유량으로 흘려주면서 챔버 플라즈마 도핑한다. 다른 방법으로 퍼니스 도핑도 가능한데, 공정 온도는 600℃~750℃로 하며, 공정 시간은 1시간~2시간으로 하고, 공정 압력과 PH_3 가스의 유량은 각각 5torr~10torr와 100sccm~200sccm으로 한다.

<60> 다음으로, 도 5c에 도시된 것처럼, 유전막(28)과 플레이트(29)를 형성하여 캐패시터를 완성한다.

<61> 위와 같은 PH_3 도핑공정의 추가는 도 4에 도시된 콘케이브 구조의 캐패시터에는 적용하지 않고 실린더 구조의 캐패시터 제조시에 적용할 수 있고, 실리콘그레인(27) 성장후에 실시하는 첫 번째 PH_3 도핑 공정에 의해 인(P)의 도핑프로파일이 양호할 경우에는 생략할 수 있다.

<62> 이상과 같은 본 발명에 따른 캐패시터의 특성을 알아보기 위해 제1비정질실리콘막 증착시에 불순물의 도핑농도를 스플릿(split)하여 실리콘그레인이 성장되지 않은 정도를 관찰하였다.

<63> 도 6a 내지 도 6e는 인(P)의 도핑농도에 따른 실리콘그레인의 성장 부족 정도를 도시한 도면이다. 도 6a 내지 도 6e의 결과는, 인(P)이 도핑되는 제1비정질실리콘막과 인(P)이 도핑되지 않는 제2비정질실리콘막을 각각 100Å, 400Å의 두께로 증착할 때 제1비정질실리콘막의 인(P)의 도핑농도를 각각 3.2E21/cm^3, 2.8E21/cm^3, 1.3E21/cm^3, 7.0E20/cm^3, 2.0E20/cm^3으로 스플릿하여 실리콘그레인을 성장시킨 후, 실리콘그레인의 성장이 부족한 포인트를 관찰한 결과이다.

<64> 도 6a에서는 실리콘그레인의 성장이 부족한 포인트가 72개, 도 6b에서는 실리콘그레인의 성장이 부족한 포인트가 106개, 도 6c에서는 실리콘그레인의 성장이 부족한 포인트가 42개, 도 6d에서는 실리콘그레인의 성장이 부족한 포인트가 71개, 도 6e에서는 실리콘그레인의 성장이 부족한 포인트가 13개로 관찰되었다.

<65> 도 6a 내지 도 6e에 도시된 바와 같이, 제1비정질실리콘막내 인(P)의 도핑농도가 낮아질수록 실리콘그레인의 성장이 부족한 포인트가 감소하고, 본 발명의 실시예와 같이 제1비정질실리콘막내 인(P)의 도핑농도를 2.0E20/cm^3으로 하면 실리콘그레인의 성장이 부족한 포인트가 거의 없이 모든 지역에서 균일하게 이루어지고 있음을 알 수 있다.

<66> 표1은 실리콘그레인성장후에 PH_3 도핑공정시 챔버 플라즈마 도핑을 이용한 경우의 조건이며, 표2는 표1의 조건에 따른 캐패시터의 전기적 특성을 비교한 것이다. 표1에서 각 아이템(item)에서 제1비정질실리콘막의 두께는 100Å이고, 제2비정질실리콘막의 두께는 400Å이며, MPS 성장조건의 베이스(base)는 각 아이템이 동일하게 600℃~650℃이다.

<67> 【표 1】

아이템	제1비정질실리콘막의 인 농도	도핑시간	PH_3의 유량	압력	온도	플라즈마 파워	MPS 성장
test1	1.1E20	70"	300sccm	1torr	710/750	300W	base
test2	1.1E20	70"	300sccm	1torr	710/750	300W	base-10℃
test3	1.1E20	65"	450sccm	2torr	710/750	450W	base-10℃
test4	1.1E20	250"	450sccm	2torr	710/750	450W	base
test5	1.1E20	250"	450sccm	2torr	710/750	450W	base-10℃
base	32.0E20	70"	300sccm	1torr	710/750	300W	base

<68> 【표 2】

조건	인 농도(ONO 세정후)	ONO_BV(-)	ONO_CAP(-)	ONO_CAP(+)	SNC_LPC	SNC_LPCN	SNCN-
test1	5.50E20	-2.964	23.39	35.69	2348	30.86	49.24
test2	5.50E20	-2.932	24.28	27.94	2348	20.54	32.44
test3	6.60E20	-2.946	30.12	34.04	3602	20.44	34.78
test4	2.10E21	-3.19	33.20	34.0	2352	20.66	33.34
test5	2.10E21	-3.166	30.96	31.94	2048	17.52	31.9
base	1.20E21	-3.399	32.64	31.78	2013	20.43	33.36

<69> 표2의 전기적 특성 결과를 살펴 보면, 제1비정질실리콘막의 도핑농도가 1.20E21(base 조건)인 종래 기술의 캐패시터 특성[ONO_BV, ONO_CAP(-), ONO_CAP(+)] 및 콘택저항특성(SNC_LPC, SNC_LPCN, SNCN-)과 유사한 특성을 갖는 조건이 "test5"임을 알 수 있다.

<70> 즉, "test5"조건에 따른 캐패시터는 유전막 전세정(pre-cleaning)후에 최종 인(P)의 도핑농도가 종래 1.20E21와 유사한 수준인 2.1E21이고, 캐패시터 특성 및 콘택저항특성또한 종래 기술과 유사하다. 결국, "test5"조건은 실리콘그레인의 성장이 억제되는 지역이 없는 조건이며, 종래기술과 유사한 캐패시터 특성 및 콘택저항 특성을 가질 수 있는 조건임을 확인하였다.

<71> 표3은 플라즈마도핑의 조건에 따른 캐패시터의 프로브테스트(PT) 결과이다.

<72> 【표 3】

	MPS 그레인 성장후 PH_3 도핑 조건				ONO 전세정후 도핑농도(E21/cm³)	ONO_BV	CAP-	PT(%)
	시간	압력	PH_3 유량	플라즈마파워				
종래	70"	1torr	300sccm	300W	12.6	-3.37	32.7	82.9
본 발명	**250"**	**2torr**	**450sccm**	**450W**	**9.0**	**-3.12**	**34.4**	**84.7**
	65"	2torr	450sccm	450W	15.1	-2.90	28.8	74.6

<73> 표3에 따르면, 프로브테스트 결과, 본 발명은 종래 기술과 유사한 PT 특성(%가 높을수록 불량률이 낮음), 예컨대, 불량률이 낮은 칩을 얻을 수 있고, 아울러 MPS 그레인이 성장되지 않은 지역이 발생하는 종래기술의 캐패시터와 동일한 전기적 캐패시턴스(CAP-)와 브레이크다운 전압(ONO_BV)을 보이고 있음을 알 수 있다.

<74> 표4는 플라즈마 도핑과 어닐링(700℃에서 1시간동안 어닐링)을 연속하여 진행하는 도핑 조건에서의 전기적 특성 결과를 보여준다.

<75> 【표 4】

	CAP+	CAP_	ONO_BV	SNC_LPCN	PT
base	33.46	34.19	-3.37	19.61	75.2
플라즈마도핑+어닐링	35.62	31.46	-3.12	22.98	73.3

<76> 표4에 나타난 바와 같이, 종래기술(normal)의 전기적 특성이 유사하고, 특히 프로브테스트 결과 유사한 결과를 얻을 수 있음을 알 수 있다.

<77> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<78> 상술한 바와 같은 본 발명은 콘케이브 또는 실린더 형태의 스토리지노드의 내벽에 MPS 그레인을 성장시킬 때 그레인의 크기 균일도를 향상시킬 수 있고, 이로써 캐패시터의 캐패시턴스 균일도를 향상시킬 수 있는 효과가 있다.

<79> 또한, 스토리지노드의 두께를 감소시키지 않고도 균일한 MPS 균일도를 확보할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

국부적으로 실리콘그레인들의 성장을 억제하는 제1도핑농도보다 상대적으로 낮은 제2도핑농도를 가지는 제1비정질실리콘막과 불순물이 전혀 도핑되지 않은 제2비정질실리콘막을 인시튜로 형성하는 단계;

상기 제1비정질실리콘막과 상기 제2비정질실리콘막을 패터닝하여 스토리지노드를 형성하는 단계;

상기 스토리지노드 표면에 실리콘 그레인을 형성하는 단계; 및

상기 스토리지노드가 가져야 하는 전도성을 위해 상기 제1도핑농도를 가지도록 상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계

를 포함하는 캐패시터의 스토리지노드 형성 방법.

【청구항 2】

제1항에 있어서,

상기 제1도핑농도는 24E20/cm^3～1E22/cm^3이고, 상기 제2도핑농도는 1E19/cm^3～2E20/cm^3인 것을 특징으로 하는 캐패시터의 스노리지노드 형성 방법.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 챔버 플라즈마 도핑하여 이루어지는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 4】

제3항에 있어서,

상기 챔버 플라즈마 도핑은,

700℃～800℃의 온도와 1.5torr～2.5torr의 압력하에서 300W～500W의 플라즈마파워를 인가하고, PH_3 가스를 300sccm～500sccm의 유량으로 흘려주면서 2분～5분동안 실시하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 5】

제1항 또는 제2항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 퍼니스 어닐링하여 이루어지는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 6】

제5항에 있어서,

상기 퍼니스 어닐링은,

600℃~750℃의 온도와 5torr~10torr의 압력하에서 PH_3 가스를 100sccm~200sccm의 유량으로 흘려주면서 1시간~2시간동안 실시하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 7】

제1항 또는 제2항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 챔버 플라즈마 도핑하는 단계; 및

상기 도핑된 불순물을 퍼니스 어닐링하여 확산시키는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 8】

제7항에 있어서,

상기 챔버 플라즈마 도핑은,

700℃~800℃의 온도와 1.5torr~2.5torr의 압력하에서 300W~500W의 플라즈마파워를 인가하고, PH_3 가스를 100sccm~500sccm의 유량으로 흘려주면서 1분~5분동안 실시하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 9】

제7항에 있어서,

상기 퍼니스 어닐링은,

600℃~750℃의 온도와 5torr~10torr의 압력하에서 질소 분위기로 1시간~2시간동안 실시하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 10】

제1항에 있어서,

상기 스토리지노드 표면에 실리콘 그레인을 형성하는 단계는,

상기 실리콘그레인이 형성된 상기 스토리지노드 표면을 세정하는 단계를 더 포함하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 11】

제10항에 있어서,

상기 스토리지노드 표면을 세정하는 단계는,

HF 케미컬 또는 BOE 케미컬을 이용하는 것을 특징으로 하는 캐패시터의 스토리지노드 형성 방법.

【청구항 12】

반도체 기판의 상부에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀에 매립되어 상기 반도체 기판과 연결되는 플러그를 형성하는 단계;

상기 플러그 및 절연막 상에 상기 플러그를 노출시키는 홈을 갖는 분리막을 형성하는 단계;

상기 분리막의 홈의 측벽을 따라 국부적으로 실리콘그레인들의 성장을 억제하는 제1도핑농도보다 상대적으로 낮은 제2도핑농도를 가지는 제1비정질실리콘막을 형성하는 단계;

상기 제1비정질실리콘막 형성후 인시튜로 불순물이 전혀 도핑되지 않은 제2비정질실리콘막을 상기 제1비정질실리콘막 상에 형성하는 단계;

상기 제1비정질실리콘막과 상기 제2비정질실리콘막을 패터닝하여 상기 분리막의 홈에 실린더 형태의 스토리지노드를 형성하는 단계;

상기 스토리지노드의 내벽 표면에 실리콘 그레인을 형성하는 단계; 및

상기 스토리지노드가 가져야 하는 전도성을 위해 상기 제1도핑농도를 가지도록 상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계

를 포함하는 반도체 소자의 캐패시터 제조 방법.

【청구항 13】

제12항에 있어서,

상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계후에,

상기 분리막을 선택적으로 제거하는 단계;

상기 스토리지노드의 도핑 프로파일 보정을 위해 추가로 불순물을 도핑시키는 단계; 및

상기 스토리지노드 상에 유전막과 플레이트를 차례로 형성하는 단계

를 더 포함하는 반도체 소자의 캐패시터 제조 방법.

【청구항 14】

제12항에 있어서,

상기 스토리지노드 및 실리콘 그레인에 불순물을 도핑시키는 단계후에,

상기 스토리지노드 및 상기 분리막 상에 유전막과 플레이트를 차례로 형성하는 단계를 더 포함하는 반도체 소자의 캐패시터 제조 방법.

【청구항 15】

제13항에 있어서,

상기 스토리지노드의 도핑 프로파일 보정을 위해 추가로 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 챔버 플라즈마 도핑하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 16】

제15항에 있어서,

상기 챔버 플라즈마 도핑은,

700℃～800℃의 온도와 1.5torr～2.5torr의 압력하에서 300W～500W의 플라즈마파워를 인가하고, PH_3 가스를 300sccm～500sccm의 유량으로 흘려주면서 2분～5분동안 실시하는 것을 특

징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 17】

제13항에 있어서,

상기 스토리지노드의 도핑 프로파일 보정을 위해 추가로 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 퍼니스 어닐링하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 18】

제17항에 있어서,

상기 퍼니스 어닐링은,

600℃～750℃의 온도와 5torr～10torr의 압력하에서 PH_3 가스를 100sccm～200sccm의 유량으로 흘려주면서 1시간～2시간동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 19】

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 제1도핑농도는 $24E20/cm^3$～$1E22/cm^3$이고, 상기 제2도핑농도는 $1E19/cm^3$～$2E20/cm^3$인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 20】

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 챔버 플라즈마 도핑하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 21】

제20항에 있어서,

상기 챔버 플라즈마 도핑은,

700℃~800℃의 온도와 1.5torr~2.5torr의 압력하에서 300W~500W의 플라즈마파워를 인가하고, PH_3 가스를 300sccm~500sccm의 유량으로 흘려주면서 2분~5분동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 22】

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 퍼니스 어닐링하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 23】

제22항에 있어서,

상기 퍼니스 어닐링은,

600℃～750℃의 온도와 5torr～10torr의 압력하에서 PH_3 가스를 100sccm～200sccm의 유량으로 흘려주면서 1시간～2시간동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 24】

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 스토리지노드 및 실리콘 그레인들에 불순물을 도핑시키는 단계는,

인을 함유한 가스분위기하에서 챔버 플라즈마 도핑하는 단계; 및

상기 도핑된 불순물을 퍼니스 어닐링하여 확산시키는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 25】

제24항에 있어서,

상기 챔버 플라즈마 도핑은,

700℃～800℃의 온도와 1.5torr～2.5torr의 압력하에서 300W～500W의 플라즈마파워를 인가하고, PH_3 가스를 100sccm～500sccm의 유량으로 흘려주면서 1분～5분동안 실시하는 것을 특

징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 26】

제24항에 있어서,

상기 퍼니스 어닐링은,

600℃~750℃의 온도와 5torr~10torr의 압력하에서 질소 분위기로 1시간~2시간동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 27】

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 스토리지노드 표면에 실리콘 그레인을 형성하는 단계는,

상기 실리콘그레인이 형성된 상기 스토리지노드 표면을 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【청구항 28】

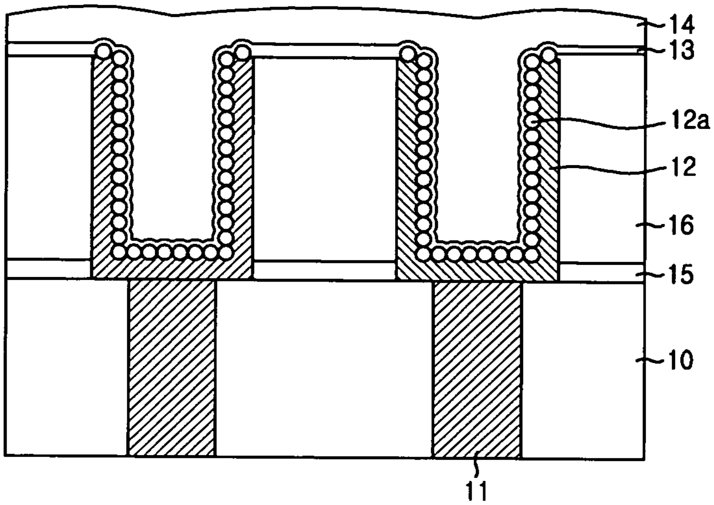
제27항에 있어서,

상기 스토리지노드 표면을 세정하는 단계는,

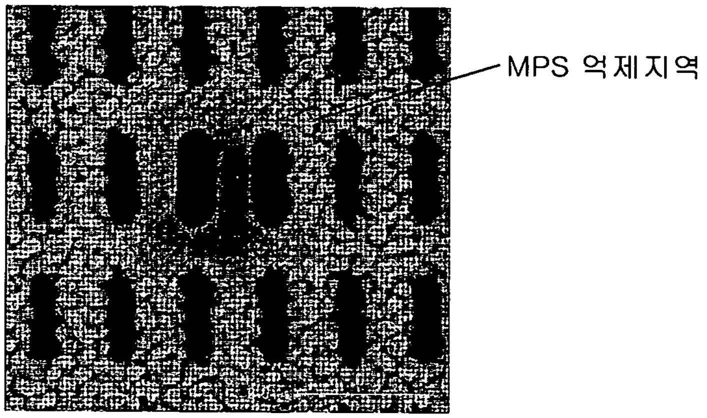
HF 케미컬 또는 BOE 케미컬을 이용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【도면】

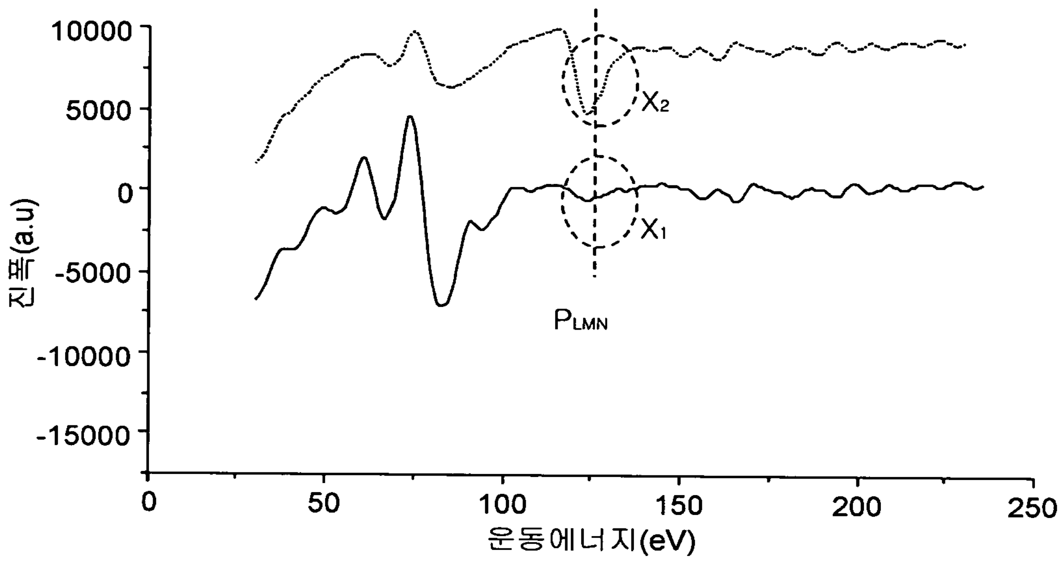
【도 1】



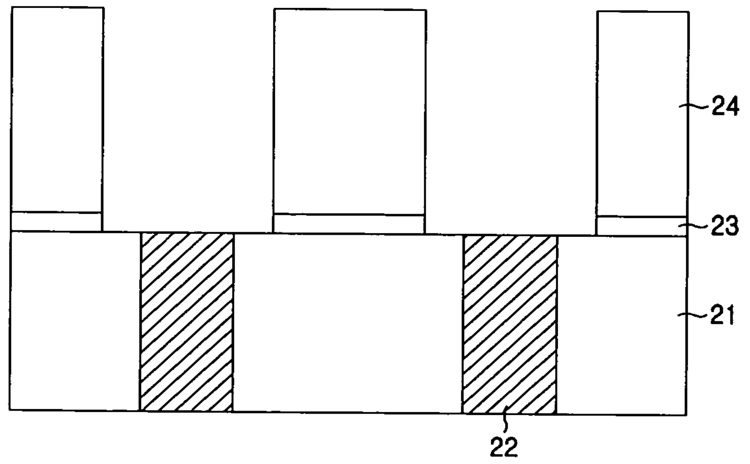
【도 2a】



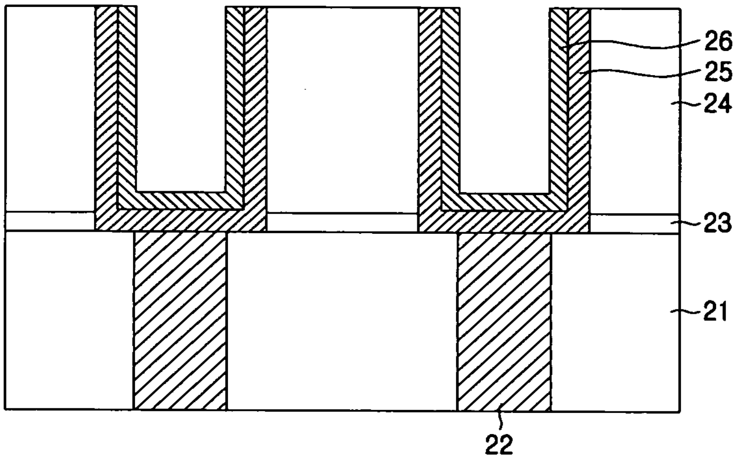
【도 2b】


10000
5000
0
-5000
-10000
-15000
진폭(a.u)
0
50
100
150
200
250
운동에너지(eV)
X2
X1
PLMN

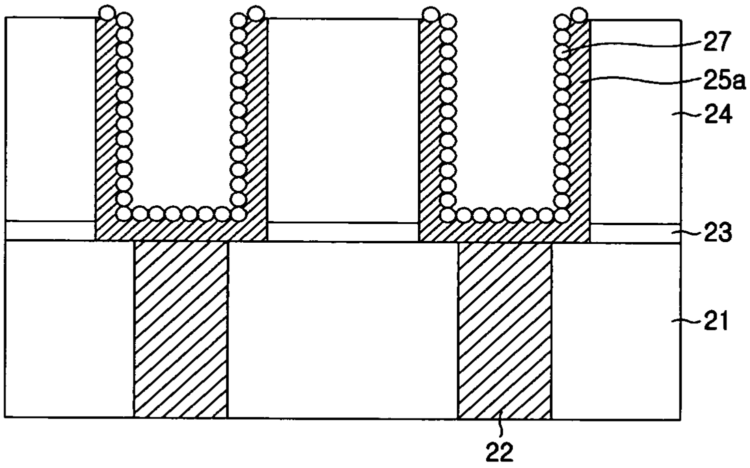
【도 3a】


24
23
21
22

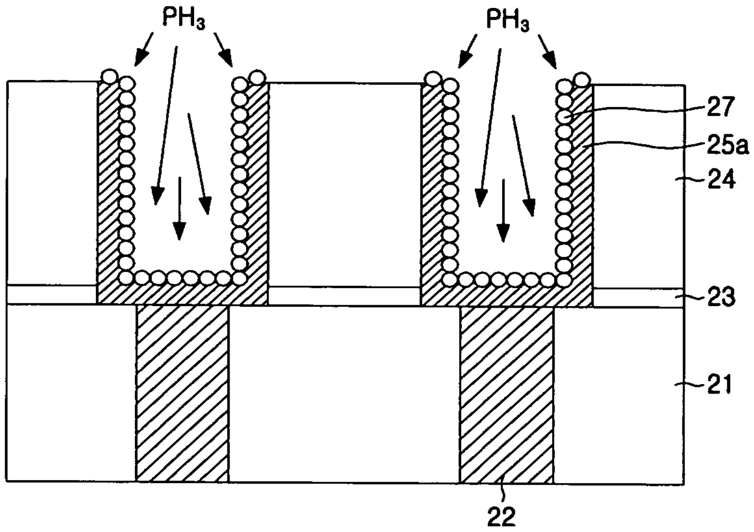
【도 3b】



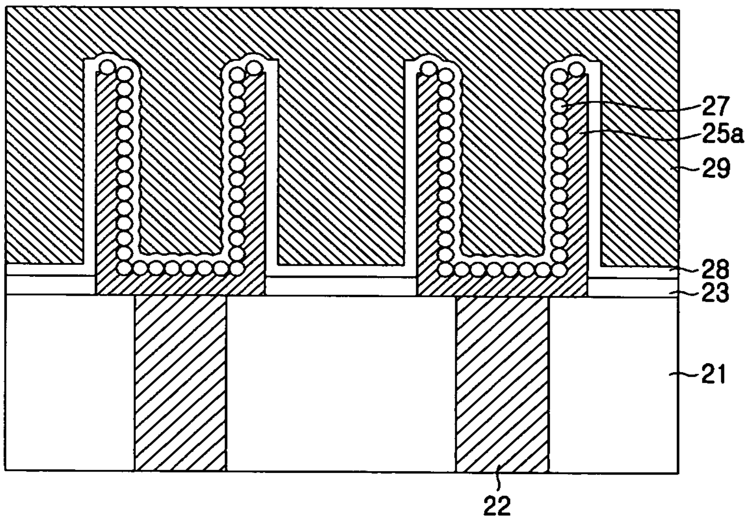
【도 3c】



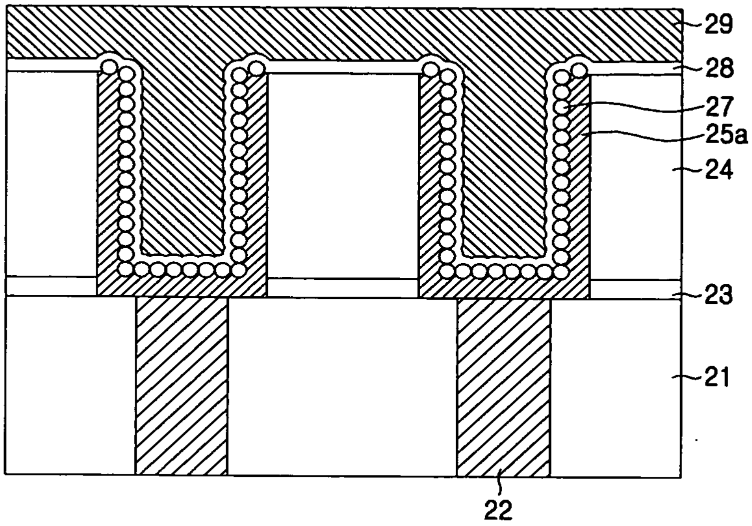
【도 3d】



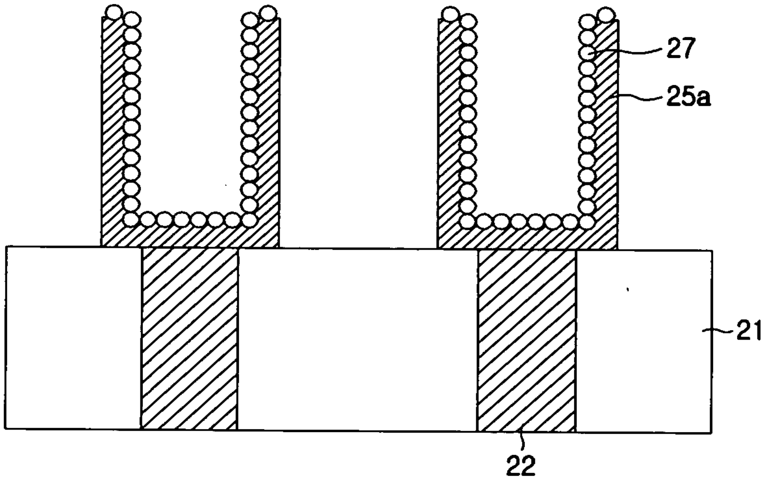
【도 3e】



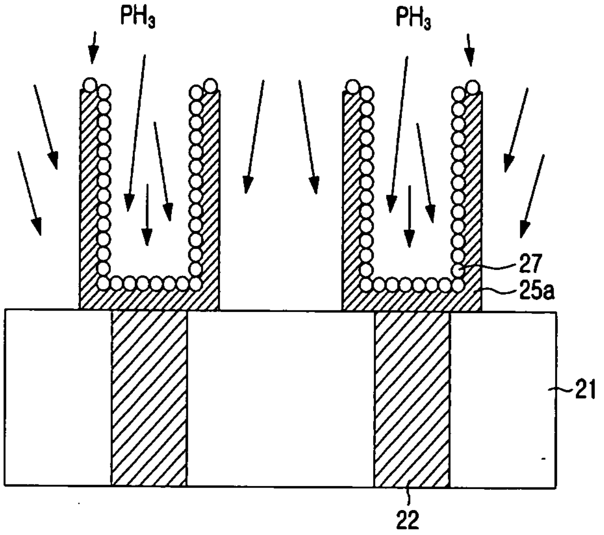
【도 4】



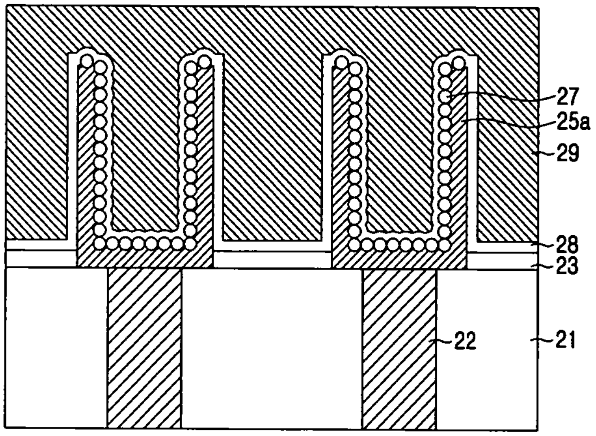
【도 5a】



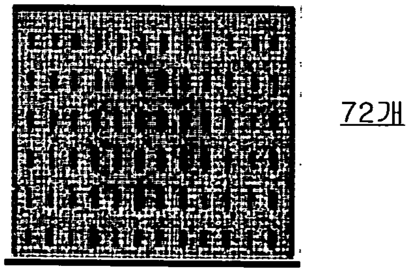
【도 5b】



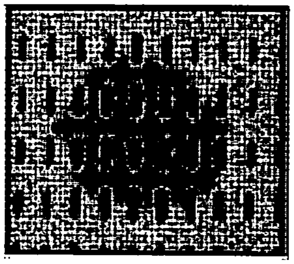
【도 5c】



【도 6a】

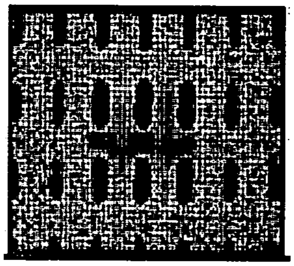


【도 6b】



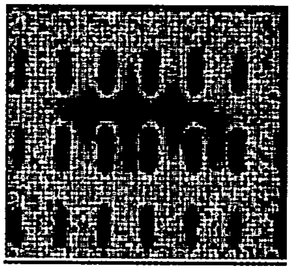
106개

【도 6c】



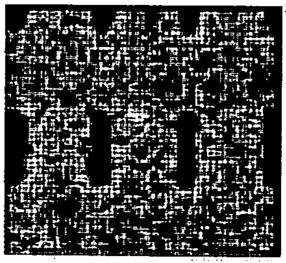
42개

【도 6d】



71개

【도 6e】



13개